

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313373

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/3205

(21)Application number : 2001-098235

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 30.03.2001

(72)Inventor : KERRY BERNSTEIN
GEFFKEN ROBERT M
STAMPER ANTHONY K
STEVEN A SAINT ONGE

(30)Priority

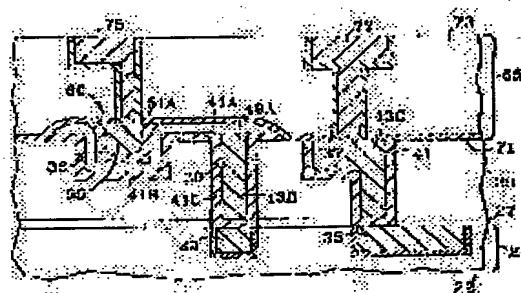
Priority number : 2000 540737 Priority date : 31.03.2000 Priority country : US

(54) CAPACITOR STRUCTURE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a metal capacitor installed on a chip.

SOLUTION: Capacitors (60, 126) manufactured on a semiconductor chip have strap/contacts (41A, 119A), which mutually connect bottom plates (41B, 111A) of a capacitor to a chip circuit. In one version, an extension part of a material, constituting a bottom plate of a capacitor forms a strap contact. In the other version, a capacitor (185) comprises a folded bottom plate, which uses an available space and therefore increases its capacitance, a dielectric layer and a top plate. By means of a plurality of manufacturing methods, manufacturing of these capacitors of various versions can be incorporated in a standard dual or single-damascene manufacturing process, including a copper damascene process.



LEGAL STATUS

[Date of request for examination] 30.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-313373

(P 2 0 0 1 - 3 1 3 3 7 3 A)

(43)公開日 平成13年11月9日(2001.11.9)

(51)Int.Cl.	識別記号	F I	テ-マ-ド (参考)
H01L 27/04		H01L 27/04	C
21/822		21/88	S
21/3205		27/04	D

審査請求 有 請求項の数45 O L (全18頁)

(21)出願番号 特願2001-98235(P 2001-98235)
 (22)出願日 平成13年3月30日(2001.3.30)
 (31)優先権主張番号 09/540737
 (32)優先日 平成12年3月31日(2000.3.31)
 (33)優先権主張国 米国 (U S)

(71)出願人 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MASCHINES CORPO
 RATION
 アメリカ合衆国10504、ニューヨーク州
 アーモンク (番地なし)
 (72)発明者 ケリー・バーンスタイン
 アメリカ合衆国05489 バーモント州アン
 ダーヒル サム・ワード・ロード 32
 (74)代理人 100086243
 弁理士 坂口 博 (外2名)

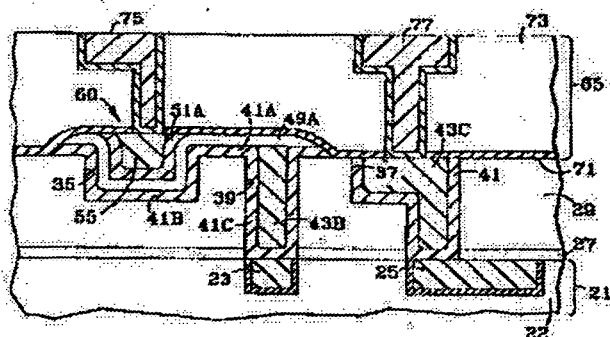
最終頁に続く

(54)【発明の名称】 キャパシタ構造およびその製造方法

(57)【要約】

【課題】 チップ上に設けられた金属キャパシタを提供する。

【解決手段】 キャパシタのボトム・プレート (41 B、111A) をチップ回路に相互接続するストラップ・コンタクト (41A、119A) を有する、半導体チップ上に製造されたキャパシタ (60および126)。1バージョンでは、キャパシタのボトム・プレートを構成する材料の延長部分がストラップ・コンタクトを形成する。別のバージョンではキャパシタ (185) が、利用可能空間を利用し、したがってそのキャパシタンスを増大させる、折り畳まれたボトム・プレート、誘電層およびトップ・プレートを含む。複数の製造方法によって、これらのさまざまなバージョンのキャパシタの製造を銅ダマシ・プロセスを含む標準デュアルまたはシングル・ダマシ製造プロセスに組み込むことができる。



【特許請求の範囲】

【請求項1】 半導体デバイス中のダマシン・トレンチに製造されたキャパシタのボトム・プレートに対するコンタクト構造であって、

a. 部分的に延びているが貫通しない開口を有する絶縁層を備え、前記開口が、前記ボトム・プレートに隣接し、かつ前記ボトム・プレートから分離されて配置され、さらに、

b. 前記開口の中に配置された第1の導電性相互接続と、

c. 前記ダマシン・トレンチから延び、前記ボトム・プレートを前記相互接続に接続するストラップ・コンタクトを備えるコンタクト構造。

【請求項2】 前記絶縁層の上方に配置された相互接続レベルをさらに含み、前記ストラップ・コンタクトが、前記ボトム・プレートおよび前記相互接続レベル中の第2の導電性相互接続に接続されたストラップを含み、前記第2の導電性相互接続が前記ストラップを前記第1の導電性相互接続に接続する、請求項1に記載のコンタクト構造。

【請求項3】 前記ストラップ・コンタクトが、金属および半導体から成るグループから選択された導電材料から製作された、請求項1に記載のコンタクト構造。

【請求項4】 前記ストラップ・コンタクトが導電性銅拡散バリア材料から製作された、請求項1に記載のコンタクト構造。

【請求項5】 前記ストラップ・コンタクトが前記ボトム・プレートの延長部分として形成された、請求項1に記載のコンタクト構造。

【請求項6】 前記ストラップ・コンタクトと前記ボトム・プレートが共通の導電性バリア層から形成された、請求項1に記載のコンタクト構造。

【請求項7】 前記第1の相互接続および前記ストラップ・コンタクトと接触した第1の導電層と、前記第1の導電層に接触したスタッドをさらに含む、請求項1に記載のコンタクト構造。

【請求項8】 前記第1の導電層と前記ストラップ・コンタクトが共通の金属層から形成された、請求項7に記載のコンタクト構造。

【請求項9】 前記半導体デバイスが、表面および前記ボトム・プレートがその中に形成されたダマシン・トレンチを有する絶縁層を含み、前記ストラップ・コンタクトが、前記ボトム・プレートから前記絶縁層の前記表面を横切って前記相互接続まで延びる、請求項1に記載のコンタクト構造。

【請求項10】 前記ストラップ・コンタクトを覆う保護層をさらに含む、請求項1に記載のコンタクト構造。

【請求項11】 a. 部分的に延びているが貫通しない第1および第2の開口が形成された絶縁層と、

b. 前記第1の開口の中に少なくとも部分的に配置されたトップ・プレートと、

c. 前記第1の開口の中に少なくとも部分的に配置されたボトム・プレートと、

d. 前記トップ・プレートと前記ボトム・プレートの上に配置された誘電層と、

e. 前記第2の開口の中に配置された第1の導電性相互接続と、

f. 前記ボトム・プレートを前記第1の導電性相互接続に接続するストラップ・コンタクトを備える半導体デバイス中のキャパシタ構造。

【請求項12】 前記絶縁層の上方に配置された相互接続レベルをさらに含み、前記ストラップが、前記ボトム・プレートおよび前記相互接続レベル中の第2の導電性相互接続に接続された第1の部分を含み、前記相互接続レベル中の前記第2の導電性相互接続が前記ストラップ・コンタクトを前記第1の導電性相互接続に接続する、請求項11に記載の構造。

【請求項13】 前記ストラップ・コンタクトが銅拡散バリア膜を含む、請求項11に記載の構造。

【請求項14】 前記トップ・プレートが銅を含む、請求項11に記載の構造。

【請求項15】 前記ストラップ・コンタクトが前記ボトム・プレートの延長部分として形成された、請求項11に記載の構造。

【請求項16】 前記ストラップ・コンタクトと前記ボトム・プレートが共通の銅拡散バリア層から形成された、請求項11に記載の構造。

【請求項17】 前記第1の相互接続および前記ストラップ・コンタクトに接触した第1の導電層と、前記第1の導電層に接触したスタッドをさらに含む、請求項11に記載の構造。

【請求項18】 前記絶縁層が表面を有し、前記ストラップ・コンタクトが、前記ボトム・プレートから前記絶縁層の前記表面を横切って前記相互接続まで延びる、請求項11に記載の構造。

【請求項19】 前記誘電層が前記ストラップ・コンタクトを覆う、請求項10に記載の構造。

【請求項20】 a. トレンチおよび前記トレンチの中に形成された少なくとも1つのバイアを有する絶縁層と、b. 前記トレンチおよび前記少なくとも1つのバイアを内張りするボトム・プレートと、

c. 前記ボトム・プレートの上方に配置された誘電層と、

d. 前記誘電層の上方に配置されたトップ・プレートを備える半導体デバイス中のキャパシタ構造。

【請求項21】 前記ボトム・プレートが銅拡散バリア層を含み、前記トップ・プレートが銅を含む、請求項20に記載の構造。

【請求項22】 前記誘電層と前記トップ・プレートの間

に配置された銅拡散バリア層をさらに含む、請求項20に記載の構造。

【請求項23】前記ボトム・プレート下方に配置され、前記ボトム・プレートに接続された相互接続をさらに含む、請求項20に記載の構造。

【請求項24】金属相互接続レベルまで製造されたデバイスを有し、少なくとも1つのバイアおよびトレンチがその中に形成された絶縁体レベルをその上に有するウェハ上にキャパシタを形成する方法であって、

- a. 前記少なくとも1つのバイアの中に第1のバリア層を付着させる段階と、
- b. 前記少なくとも1つのバイアの中の前記バリア層の上に誘電材料を付着させる段階と、
- c. 前記少なくとも1つのバイアの中の前記誘電材料の上に第2のバリア層を付着させる段階と、
- d. 前記第2のバリア層の上に金属導体を付着させる段階を含む方法。

【請求項25】前記段階cが、前記第1のバリア層に対するストラップ・コンタクトを形成する段階を含む、請求項24に記載の方法。

【請求項26】前記金属相互接続レベルが相互接続を含み、前記段階cが、前記相互接続に接触した、前記第1のバリア層に対するストラップ・コンタクトを形成する段階を含む、請求項24に記載の方法。

【請求項27】前記絶縁体レベルが表面を有し、前記ストラップ・コンタクトが前記表面に沿って延びるように形成される、請求項26に記載の方法。

【請求項28】前記金属相互接続レベルが、相互接続および前記相互接続と交差したバイアを含み、前記段階cが、前記相互接続に接続された、前記バイア中の前記第1のバリア層に対するストラップ・コンタクトを形成する段階を含む、請求項24に記載の方法。

【請求項29】前記段階cで付着させる前記第2のバリア層が、銅の拡散をブロックする材料および銅シード層を含む、請求項24に記載の方法。

【請求項30】前記少なくとも1つのバイアが前記トレンチに隣接し、かつ前記トレンチから分離されており、前記段階aが、前記少なくとも1つのバイアと前記トレンチの中に同時に前記第1のバリア層を付着させる段階を含む、請求項24に記載の方法。

【請求項31】前記少なくとも1つのバイアが前記トレンチの内部に配置され、前記段階aが、前記少なくとも1つのバイアと前記トレンチの中に同時に前記第1のバリア層を付着させる段階を含む、請求項24に記載の方法。

【請求項32】前記絶縁体レベルが、前記トレンチの中に配置された少なくとも1つのバイアを含み、前記段階aが、前記少なくとも1つのバイアと前記トレンチの中に同時に前記第1のバリア層を付着させる段階を含む、請求項24に記載の方法。

【請求項33】前記少なくとも1つのバイアが前記金属相互接続レベル中の相互接続と交差し、前記第1のバリア層が前記相互接続と接触するように付着される、請求項32に記載の方法。

【請求項34】段階aで付着される前記第1および第2のバリア層が銅の拡散をブロックし、前記段階dで付着される前記金属導体が銅を含む、請求項24に記載の方法。

【請求項35】前記第1のバリア層、前記誘電材料、前記第2のバリア層および前記金属導体が前記トレンチの中に付着され、前記トレンチが、前記誘電層が前記トレンチの内部で折り畳まれるように構成される、請求項24に記載の方法。

【請求項36】キャパシタを形成しないウェハの領域から、前記第1のバリア層と前記誘電層のうちの少なくとも一方を除去する段階をさらに含む、請求項24に記載の方法。

【請求項37】前記バリア層および前記誘電層を、キャパシタを形成するウェハの領域にのみ付着させる、請求項24に記載の方法。

【請求項38】相互接続および表面を有する金属相互接続レベルまで製造されたデバイスを有するウェハ上にキャパシタを形成する方法であって、

- a. 前記金属相互接続レベル上に上面を有する絶縁体を付着させる段階と、
- b. 前記絶縁体中に、前記相互接続と交差したバイアおよび前記バイアに隣接したトレンチを形成する段階と、
- c. 前記バイアの中心および前記トレンチの中にバリア層を付着させる段階と、
- d. 前記バリア層の上方に誘電材料を付着させる段階と、
- e. 前記誘電材料の上方に金属導体を付着させる段階を含む方法。

【請求項39】前記バリア層の前記バイアと前記トレンチの間の部分が前記絶縁層の前記上面に沿って延びるように前記段階cが実施される、請求項38に記載の方法。

【請求項40】前記金属導体が銅を含み、前記バリア層が銅の拡散をブロックする、請求項38に記載の方法。

【請求項41】前記絶縁層の下方に配置され、第3の相互接続を有する金属相互接続レベルをさらに含み、前記第1の相互接続が前記第3の相互接続に接触した、請求項1に記載のコンタクト構造。

【請求項42】前記絶縁層の下方に配置され、第3の相互接続を有する金属相互接続レベルをさらに含み、前記第1の相互接続が前記第3の相互接続に接触した、請求項11に記載の構造。

【請求項43】前記絶縁層の上方に配置され、第4の相互接続を含む金属相互接続レベルをさらに含み、前記トップ・プレートが前記第4の相互接続に接続された、請

求項11に記載のコンタクト構造。

【請求項44】前記絶縁層の下方に配置され、第3の相互接続を有する金属相互接続レベルをさらに含み、前記ボトム・プレートが前記第3の相互接続に接触した、請求項20に記載の構造。

【請求項45】前記絶縁層の上方に配置され、第4の相互接続を含む金属相互接続レベルをさらに含み、前記トップ・プレートが前記第4の相互接続に接続された、請求項20に記載のコンタクト構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップ上のメタライゼーション層におけるキャパシタの製造に関し、詳細には、半導体ウェハ上の隣接する回路に金属キャパシタを相互接続する構造を形成する段階を含む銅デュアル・ダマシン製造プロセスの一部として製造された金属キャパシタ、および折畳み構成を有する金属キャパシタに関する。

【0002】

【従来の技術】チップのフロント・エンド・オブ・ザ・ライン(FEOL)構成要素が次第に小型化、多数化、複雑化および高速化するにつれ、バック・エンド・オブ・ザ・ライン(BEOL)層の数は増加した。FEOLデバイスの小型化、高密度化のため、BEOL層中の相互接続線の幅、したがって断面積は狭められた。しかし、このような断面積の低減によって、これまで使用されてきたアルミニウム線の抵抗は高いものとなった。そのため最近では、BEOLプロセスに抵抗の低い銅を使用する動きが起こっている。銅の使用に伴って、銅デュアル・ダマシン製造技法に基づく全く新しい製造技術を採用する必要が生じた。このような進展に関連して、銅がもたらす速度向上の好機を生かそうと、以前は半導体チップのパッケージング中に置かれていた受動回路部品、例えば減結合キャパシタをチップ上に直に含めたいとする要望が起こった。

【0003】新しいデュアル・ダマシン金属製造プロセスの文脈でのキャパシタの製造にはある種の難しい問題がある。使用可能な空間または「フットプリント」に所望のキャパシタンスを有するキャパシタを形成することは問題を含む。さらに、周知のデュアル・ダマシン製造プロセスでキャパシタを製作するのに使用される材料からなるバイアの深さ、幅および傾斜の変動に起因する受け入れがたいキャパシタンスの変動を回避するために、反応性イオンエッチング(RIE)の選択性を十分に制御することは難しく、これに関連したプロセス制御の問題も生じる。

【0004】

【発明が解決しようとする課題】本発明の目的は、銅デュアルまたはシングル・ダマシン製造プロセスの一部として、チップ上に金属キャパシタを製造する方法を提供

することにある。

【0005】本発明の他の目的は、銅デュアルまたはシングル・ダマシン製造プロセスの一部として、半導体チップ上に精密金属キャパシタを製造する方法を提供することにある。

【0006】本発明の他の目的は、キャパシタのボトム・プレートに対する独特のストラップ・コンタクトを有するキャパシタを提供することにある。

【0007】本発明の他の目的は、半導体ウェハ上の利用可能空間を最大限に使用するキャパシタ構造を提供し、これによってそのキャパシタンスを増大させることにある。

【0008】

【課題を解決するための手段】本発明は、これらの目的およびその他の目的を、半導体ウェハ上に製造されたキャパシタのボトム・プレートに対して、ボトム・プレートに隣接し、かつボトム・プレートから離隔した相互接続線、およびボトム・プレートを相互接続線に接続するストラップ・コンタクトを備えたコンタクトを提供することによって達成する。

【0009】本発明の他の態様は、半導体デバイス中のキャパシタ構造である。この構造は、トレンチおよび前記トレンチの中に形成された少なくとも2つのバイアを有する絶縁層を備える。ボトム・プレートが、前記トレンチおよび前記少なくとも2つのバイアを内張りする。前記ボトム・プレートの上方に誘電層が配置され、前記誘電層の上方にトップ・プレートが配置される。

【0010】本発明の他の態様は、金属相互接続レベルまで製造されたデバイスを有し、少なくとも1つのバイアおよびトレンチがその中に形成された絶縁体レベルをその上に有するウェハ上にキャパシタを形成する方法である。この方法は、(a)第1のバリア層を付着させる段階、(b)前記バリア層の上に誘電材料を付着させる段階、(c)前記誘電材料の上に第2のバリア層を付着させる段階、および(d)前記第2のバリア層の上に金属導体を付着させる段階を含む。

【0011】本発明の他の態様は、相互接続および表面を有する金属相互接続レベルまで製造されたデバイスを有するウェハ上にキャパシタを形成する方法である。この方法は、(a)前記金属相互接続レベル上に上面を有する絶縁体を付着させる段階、(b)前記絶縁体中に、前記相互接続と交差するバイアおよび前記バイアに隣接したトレンチを形成する段階、(c)前記バイアの中および前記トレンチの中にバリア層を付着させる段階、(d)前記バリア層の上方に誘電材料を付着させる段階、および(e)前記誘電材料の上方に金属導体を付着させる段階を含む。

【0012】

【発明の実施の形態】本発明は、バック・エンド・オブ・ザ・ライン(BEOL)デュアル・ダマシン製造プロ

セスの間に製造されるキャパシタである。このキャパシタ構造の第1のバージョンは、キャパシタのボトム・プレート周囲の回路に接続するのに使用される独特のストラップ・コンタクトを有する。第2のバージョンは、キャパシタのサイズを大きくし、これによって利用可能空間を最大限に使用してキャパシタンスを増大させる折畳み構成を有する。

【0013】図1～11に、本発明の第1のバージョンを製造する一実施形態を示す。図1に、チップ19の金属相互接続レベル21における最初の製造を示す。金属相互接続レベル21は、金属相互接続23および25が埋め込まれた絶縁体22を含む。説明の目的上、相互接続23および25は銅から製作されるものとして示す。ただし、これに限定されるわけではない。代わりに、当技術分野で周知のトランジスタ、拡散、受動デバイス、ローカル相互接続、コンタクトなどをレベル21に製造することができる。図2に、金属相互接続レベル21上への平面誘電層27の形成を示す。層27は、銅拡散バリアの働きをする、約10～50nmの厚さに付着させた窒化物、例えばSiN₄H₂、または炭化物、例えばSiC₂H₄から製作されることが好ましい。層27が必要となるのは、相互接続23および25が銅、または絶縁層29（後述）中への拡散を防止する必要があるその他の元素を含む場合である。層21中の相互接続、例えば23、25が銅、または誘電層29への拡散を防止する必要があるその他の金属を含まない場合、層27は任意である。

【0014】次いで、平面誘電層27の上に絶縁層29を形成する。絶縁層29は、SiO₂、フッ化SiO₂（FSQ）、ポリアリレーンエーテル（PAE）、エーロゲル、水素シルセスキオキサン（HSQ）、メチルシルセスキオキサン（MSQ）およびSiO₂C₂H₄のうちの1種または数種の材料、あるいは低い比誘電率K、例えば2～5の範囲の比誘電率を有する他の同種の材料から製作されることが好ましい。次の段階では、標準のフォトリソグラフィ／エッチング・プロセスを実施して、キャパシタ・トレンチ35を絶縁層29中に、ワイヤ開口37、ワイヤ／バイア39およびバイア40を誘電層27および絶縁層29中にそれぞれ画定する。このプロセスは一般に、1回のマスク／エッチング／ストリップ段階の間にトレンチ35および開口37を絶縁層29の途中までエッチングし、次いで、バイア39および40を絶縁層29および27を貫通するまでエッチングする、2段階プロセスである。これらのエッチング・プロセスには一般に反応性イオン・エッチング（RIE）が使用される。これらの段階を実施する順序は重要ではない。フォトリソグラフィを付着させ、マスクを用いてフォトリソグラフィし、フォトリソグラフィを現像し、エッチングし、余分なフォトリソグラフィを除去する技法は基本的なものであり、当業者にとって周知のものであるの

で、このプロセスが議論に上るたびに、このプロセスの全体を完全に説明することはしない。このプロセスを指示する目的には、「フォトリソグラフィ」、「エッチング」、「マスク／エッチング／ストリップ」などの用語または同種の周知の用語を使用する。同様に、図によっては、このプロセスに使用されるいくつかの層が含まれていないことがあるが、当業者なら、それらが含まれることを容易に理解しよう。

【0015】次に、図3に示すように、絶縁層29の表面、トレンチ35の内部、開口37の内部、およびバイア39、40の内部に導電性バリア層41を付着させる。導電性バリア層41は、物理蒸着（PVD）を使用して付着させた高融点金属、高融点金属窒化物または高融点金属ケイ化物、好ましくはTa（40nm）から製作されたライナから成る。層41は一般に、化学蒸着（CVD）、PVDまたはイオン化物理蒸着（IPVD）、あるいは導電性薄膜を付着させる当技術分野で周知のその他の方法を使用して付着させることができる。めっきした銅を主導体として使用する場合には、次に、PVD、スパッタリングまたはその他の周知のプロセスによって厚さ50～150nmの銅シード層（図示せず）を付着させる。最後に、銅シード層の上に厚い銅層43を電気めっきする。電気めっきした銅を使用すると記述したが、本明細書に記載のキャパシタを形成するワイヤ・トレンチおよびバイアに充てんを実施する目的には、任意の導電性金属または半導体を使用することができる。

【0016】次いで、図4に示すように、化学機械研磨段階（CMP）を使用して銅層43の余分な銅をバリア層41まで除去する。あるいは、銅エッチングを使用して銅の一部または全部を除去してもよい。好ましい実施形態では、バリア層41がTa層であり、この平坦化段階をTa層で停止させる。これによって、キャパシタ・トレンチ35中に銅層43Aが、ワイヤ／バイア39中に銅層43B（すなわち銅スクッド）が、ワイヤ開口37およびバイア40中に銅層43Cが残る。このCMP段階を単に研磨段階または平坦化段階と呼ぶことができる。

【0017】図5を参照する。次いで開口45から銅層43Aを除去する。これは、a) フォトリソグラフィ層47を付着させ、b) 適当なマスクを用いてトレンチ35の領域のフォトリソグラフィ層を露光し、c) 露光したフォトリソグラフィ層を除去して銅層43Aの上方に開口45を形成し、d) 過硫酸で銅層43Aをエッチングすることによっておこなう。銅層43Aのエッチングでは、水で薄めた硫酸／過酸化水素混合液、例えばH₂SO₄ 1部、H₂O₂ 1部、H₂O 200部の混合液など、タンタルに対しては選択的だが、銅（またはバリア層41の上層として使用されたその他の材料）に対しては非選択的な銅エッチング液を使用する。これによって、トレンチ3

5中のバリア層41の上部が無傷のまま残る。次いで、フォトレジスト層47の残りの部分をチップ19から剥き取り、続いて任意選択で、溶剤、酸またはプラズマ表面洗浄を実施する。EKCなどの溶剤の使用が好ましい。

【0018】次に、図6に示すように、1層または数層の誘電層から成るキャパシタ誘電層49を付着させる。使用する一般的な誘電材料は Ta_2O_5 または Si_3N_4 であるが、比誘電率 K が4、好ましくは約7を超えるその他の材料を使用することもできる。次いで、第2のバリア層51を付着させる。この層は、バリア層41と同じ材料、すなわち1種または数種の高融点金属および高融点金属化合物から製作され、薄い銅シード層で覆われることが好ましい。キャパシタ誘電体49および第2のバリア層51を付着させる前には、真空脱ガス段階、例えば約400℃、約3分の真空脱ガス段階、およびこれに続く、水素またはアンモニア・ドーピングを伴う、またはこれらを伴わないアルゴン・スパッタ段階（約5~10nm相当の SiO_2 除去）を使用することが好ましい。次いで最後に、第2のバリア層51の上に厚い銅層53を電気めっきする。

【0019】図7を参照する。次いで、CMP研磨段階によって銅層53を除去する。銅層53を除去するのは、第2のバリア層51の上面までである。これによって、トレンチ35の上方の開口56の内部に銅プレート55が残る。銅プレート55は、本発明のこの実施形態のキャパシタの上プレートを形成する。

【0020】次に、図8に示すように、第2のバリア層51および銅プレート55の上にフォトレジスト層57を付着させる。次いで、図9に示すように、フォトレジスト層57をパターンニングし、パイア39およびトレンチ35の上の部分57Aを除く部分を全て除去する。次に、RIEプロセスを使用して、フォトレジスト部分57Aによって覆われていない部分のバリア層51を除去する。 SF_6 、 HCl または BCl_3 を含む従来のRIEケミストリを使用する。バリア層51が、フッ素エッチングの副生物の揮発性が比較的に高い金属（例えばタングステン）から成る場合には、代替として、ペルフルオロカーボン（PFC）および酸系ベースのRIEケミストリを使用することができる。最後に、フォトレジスト部分57Aによって覆われていない部分の誘電層49を、PFCまたはヒドロフルオロカーボン・ベースのRIEケミストリ、例えば CF_4 または CHF_3 を使用したエッチングによって除去する。いずれにしても、誘電層49の部分除去に使用するエッチング・ケミストリは、その下の銅部分43B、43Cおよび55をエッチングしないものを選択する。フォトレジスト部分57Aは、層49をエッチングする前に除去してもよいし、またはエッチングした後に除去してもよい。

【0021】図10を参照する。フォトレジスト層57

Aの下で保護されていた第2のバリア層51AをCMP段階で研磨して除き、誘電層部分49Aを残す。図10に示すように、誘電層部分49Aによって覆われた部分を除く第1のバリア層41の水平延長部分もこのCMP段階で除去される。このCMP段階の間、誘電層部分49Aはバリア層41のストラップ部分41Aを保護する。ストラップ部分41Aは、バリア層41の下プレート部分41Bをバリア層41のパイア・ライナ部分41Cに接続する。図10に示したプロセス段階で使用されるCMPプロセスは、選択的2段階CMPプロセスとして知られる。まず、銅のCMP除去速度が相対的に高く、バリア層41の材料の除去速度が相対的に低い銅CMPプロセスを使用して、ウェハの表面よりも上の銅を除去し、大部分のバリア層41は無傷のまま残す。次に、銅のCMP除去速度が相対的に低く、バリア層41の材料の除去速度が相対的に高いライナまたはバリア層CMPプロセスを使用する。

【0022】図10に示した構造に至るプロセス・シーケンスの変更は本発明に含まれる。フォトレジスト部分57Aを形成した後、部分57Aによって覆われていない部分の第2のバリア層51、誘電層49およびバリア層41を、適当なエッチング・ケミストリを選択して1回のRIEプロセスで除去してもよい。これらのケミストリは、このプロセスの間に変更されるものであるが、当初は、誘電層41および第2のバリア層51に関して先に論じたものと同様のものであり、続いて、第2のバリア層51に対して論じたものと同様のケミストリに変更され、誘電層49をエッチングする。

【0023】図10は、次のメタライゼーション層が完成する前の本発明の第1のバージョンのキャパシタ60を示す。キャパシタ60の下プレートは下プレート部分41Bから形成される。キャパシタ60の上プレートは銅プレート55から形成される。誘電層部分49Aはキャパシタ60の誘電層を形成する。ストラップ部分41Aは、キャパシタ60の下プレート部分41Bをパイア39のライナ部分41Cに接続し、ライナ部分41Cは相互接続23に接続する。誘電層49Aは、ストラップ部分41Aを覆う保護カバーを形成する。

【0024】次に図11を参照する。キャパシタ60の銅プレート55（すなわち上プレート）および銅層43Cは一般に、次のメタライゼーション層65を介してチップ19のその他の部分に接続される。このメタライゼーション層は一般に、絶縁層27を形成するのに使用した材料などの材料から製作された絶縁層71を含む。絶縁層71の上に絶縁層73を付着させる。絶縁層73の中に、垂直相互接続75および77が形成され、これらは、絶縁層73およびバリア層71を貫通して延び、それぞれ銅プレート55および銅部分43Cと接触する。キャパシタ60のボトム・プレート41Bは表面ストラップ41Aを介して、下位金属相互接続レベル21の相

互接続23に接続される。

【0025】次に図9、11および12を参照する。ストラップ部分41Aに中断部分を設けて、ストラップ部分41Aがバリア39中の部分41Cに接続されないようにすることが望ましい場合がある。例えば、図12に示すように、ストラップ部分41A'は部分41C'に接続されていない。下プレート41B'を金属相互接続レベル21中の相互接続23と接続するため、逆U字形の構成を有する相互接続79'を金属相互接続レベル65'中に形成する。相互接続79'を形成して、ストラップ部分41A'を部分41C'および銅層43B'に接続し、これによってストラップ部分、したがって下プレート41B'を相互接続23に接続する。相互接続79'は、先に説明した相互接続75および77と同じ方法で製作される。

【0026】図12に示した実施形態を製作するプロセスは、図11の実施形態に関して先に説明したプロセスと1点を除き全く同じである。図9に示した段階において、第2のバリア層51Aおよび誘電層49Aの除去部分がより大きくなるように、レジスト層57をフォトパターニングする。具体的には、図9に示した段階に類似の段階において、図12に指示するように、第2のバリア層51A'および誘電層49A'の一部を、バリア39'を覆わずに、相互接続79'の左側で終わるように除去する。この代替プロセス段階の結果、ストラップ部分41A'と部分41C'の間に先に論じた中断部分ができる。

【0027】図13~19に、先に説明した本発明の第1のバージョンを製造する別の方法を示す。図13は、金属相互接続97および99が埋め込まれた絶縁層95を含む金属相互接続レベル93までデバイスが製造されたチップ91の一部分を示す。次いで、金属相互接続層93の上に平面絶縁層100を形成する。絶縁層100は、先に説明した絶縁層29と同じ材料から製作することができ、CMPプロセスを使用して平坦化することが好ましい。次いで、標準のフォトパターニングおよびエッチングを実施して、絶縁層100中にキャパシタ開口101およびワイヤ開口102、103を画定する。このプロセスは2段階で実施される。すなわち、i) キャパシタ開口101およびワイヤ開口102、103を1回のマスク/エッチング/ストリップ段階の間に形成し、ii) バリア105および107を別のマスク/エッチング/ストリップ段階の間に形成する。次いで、標準T_aライナ、次いで銅シード層またはバリア層41に適したものとして先に記載したその他の材料を付着させることによって、標準バリア層111を形成する。最後に、電気めっきした銅から成る厚い層113を付着させる。

【0028】次に、図14に示すように、フォトレジスト層115を付着させ、これをパターニングして、キャ

パシタ開口101の上およびワイヤ開口102の一部分の上に開口116を図示のように形成する。次いで、開口116の下にあたる部分の銅層113を等方性ウェット・エッチング・プロセスによって除去し、開口117を形成する。この等方性エッチングによって、開口117はフォトレジスト層115の下に横方向に延び、開口域117Aおよび117Bが形成される。このプロセスには過硫酸（すなわち硫酸と過酸化水素の混合）を使用することが好ましい。好ましい実施形態では、これが200:1、すなわち水200部に対して過硫酸1部の割合に希釈される。このエッチングは、図14に示した断面が得られる十分な時間、実施する。この断面では開口域117Aがトレンチ102と交差している。エッチング時間は、銅の密度、浴の温度および浴中の過酸化水素の割合によって決まり、当業者であれば、ルーチンのプロセス最適化によって経験的に容易に決定することができる。このウェット・エッチングは選択的に実施され、開口117中の銅を除去し、バリア層111の上面で止まる。この銅ウェット・エッチングは当然ながら、バリア層111の上に付着させた銅シード層の一部または全部をも除去する。代替として、異方性または等方性RIEエッチングを使用して、銅層113を除去することもできる。RIEエッチングでは、導電性ライナ層111を大幅にエッチングすることがないように制御しなければならない。ウェット・エッチング段階が完了した後、フォトレジスト層115の残りの部分を除去し、続いてウェハの表面を先に論じたように洗浄する。

【0029】次の段階の間に、図15に示すように、高比誘電率Kキャパシタ誘電層119を付着させる。層119は、先に説明した誘電層49と同じ材料から製作する。次いで、誘電層119の上にバリア層121を付着させる。バリア層121は、先に説明したバリア層41と同じ材料から製作する。次いで、バリア層121の上に厚い銅層123を電気めっきによって付着させる。銅層123の厚さは一般に0.5~2ミクロンとする。図16に示すように、銅CMP段階を使用して層123を、層121の上面まで除去する。次に、図17に示すように、バリアまたはライナCMP段階を使用して層121を、層119の上面まで除去する。

【0030】次いで、CMP研磨段階を実施して誘電層119および銅層113を、図18に示すように、キャパシタ/ストラップ接続領域124では上部バリア層121まで、ワイヤリング・バリア領域125およびその他の領域では下部バリア層111まで除去する。

【0031】追加のCMP段階を実施して、最初のCMP段階の後に残ったバリア層121の上部121A、121Bおよび121Cを除去し、ストラップ・カバー部分119A（図18）をそのまま残す。このCMP段階では、第1のバリア層111の露出部分も全て除去するが、誘電層119のストラップ部分119Aはそのまま

10

20

30

40

50

残る。図19に、第2のCMPプロセス完了後のチップ91を示す。

【0032】図19に示した完成キャパシタ126は、下プレート111A、キャパシタ誘電体部分119Bおよびトップ・プレート123Aを含む。ストラップ・コンタクト111Bは、キャパシタ126の下プレート111Aを隣接するバイア105中のバリア層部分111Cに接続し、バリア層部分111Cは、金属相互接続レベル93中の相互接続97に接続する。第2の誘電層119のストラップ・カバー部分119Aはストラップ・コンタクト111Bを保護する。図示はされていないが、キャパシタ126のトップ・プレート123Aは一般に、図11に示し先に説明したレベル65などの上位メタライゼーション・レベルに接続される。

【0033】本発明は、図13~19に示し先に説明した実施形態のわずかな変形を含む。この変形を図20~25に示す。図13に示した段階は両方の実施形態で全く同じであるので、この変形の図13に対応する図は添付しない。後述するものを除き、図20~25に示した実施形態に使用するプロセス段階および材料は、図14~19に示し先に説明したものと同一である。この点に関して、プロセス段階および材料の共通性を示すため、図20~25で使用する符号は図14~16で使った符号と同一とした。ただし、図20~25ではプライム付きの表記を使用した。

【0034】図14~19の実施形態と図20~25の実施形態の唯一の違いは、図20で実施されるプロセス段階のわずかな変形から生じる。この実施形態では、レジスト・マスク115'の開口116'が、開口域117'がトレンチ102'の中までは延びずに、図20に示すようにトレンチ101'と102'の間まで延びるように配置される。次に、キャパシタ126'の製造が、図15~19に関して先に説明したとおりに図21~25に示すように進む。トレンチ102'の中まで延びないように開口域117'を形成した結果、下プレート111A'は、表面ストラップ111B'によってバリア層部分111C'に接続されない。その結果、下プレート111A'は、下位金属相互接続レベル93'中の相互接続97'に接続されない。そのため、キャパシタ126'の上方の金属相互接続レベル中に、図12に示したレベル65中の垂直相互接続79'などの表面ストラップ111B'と接触する垂直相互接続を設ける必要がある。

【0035】図1~11および13~19に示した本発明の実施形態は、ボトム・プレートとこれに隣接しかつ分離された、ワイヤリング相互接続に接続されたバイア内の導電性ライナとの間に延びる表面ストラップを使用して、ダマシ・トレンチ中のキャパシタのボトム・プレートを隣接するワイヤリング相互接続に接続する構造を提供する。図12の実施形態では、相互接続79'を使用してこの相互接続が達成される。このような構造な

らびに図20~25の構造は、銅デュアル・ダマシン製造プロセスでの使用に特に適合されるときに有利である。しかし本発明はこれに限定されるわけではない。実際、図1~11、12、13~19および20~25の議論に関して以上で銅を使用するとした全ての点について、アルミニウム、アルミニウム/銅合金、およびタングステン、チタンなどの高融点金属などの銅以外の金属を含むものと解釈しなければならない。銅以外の材料を使用するときには、状況によって、上側バリア層51、51'、121および121'を省略すること、または銅の拡散に対するバリアでは必ずしもない導電性材料から下側バリア層41、41'、111および111'を製作することが許容される。

【0036】図26~30および32~33に本発明の第2のバージョンの2つの実施形態を示す。このバージョンの減結合キャパシタは、多数のバイアを含む長い平行ワイヤリング・ランが望ましい応用に理想的に適する。

【0037】図26に、金属相互接続レベル151までデバイスが製造された半導体チップ149の一部分を示す。金属相互接続レベル151は一般に、一連のダマシン銅相互接続153および155がその中に形成された絶縁層152を含む。後に論じるように、相互接続155は、キャパシタの下プレートのストラップ・コンタクトを形成する。

【0038】相互接続153および155が銅を含むときには、レベル151の上に絶縁体の銅拡散バリア層156を付着させる。層156は、先に説明した層27(図2)に対して使用したものと同じ材料から製作することができる。相互接続153および155が銅を含まないとき、層156は任意である。層156の上に、次の金属/バイア・レベルのための絶縁層157を付着させる。絶縁層157は絶縁層29と同じ材料、すなわち、SiO₂、フッ化SiO₂(FSG)、ポリアリーレンエーテル(PAE)、エーロゲル、水素シルセスキオキサン(HSQ)、メチルシルセスキオキサン(MSQ)、SiO₂C、H、または他の同種の材料から製作することができる。

【0039】次に、絶縁層156および157中にバイア161、163、165およびトレンチ169を、先に絶縁層100中にバイア105、107およびトレンチ101、102、103を形成したのと同じ方法でエッチングする。具体的には、図26に示すように、バイア165を相互接続153までエッチングし、バイア161および163を相互接続155までエッチングする。トレンチ169の形成前に、バイア161、163および165の中に選択的に付着する有機反射防止コーティング(ARC)(図示せず)を付着させてもよい。ARC層は、トレンチのエッチング中のオーバエッチングからバイア161、163および165を保護する。

(2)

トレンチ169中には2つのバイア、すなわちバイア161および163が形成されるが、本発明が、このトレンチ中での任意の数のバイア、例えば、1、3、10、100、1000またはそれ以上の数のバイアの使用を含むことを理解されたい。

【0040】次いで、バリア層171を約5~40nmの厚さに付着させる。バリア層171は、先に説明したバリア層41と同じ材料から製作することができる。ただし、銅シード層は一般に含まれない。次いでバリア層171の上に、高比誘電率K(>5)材料の層173、例えばSi₃N₄、SiC、SiO₂を約50~300nmの厚さに付着させる。

【0041】次いで、誘電層173の上に第3のフォトリソ層175を付着させ、これをフォトリソングし、次いで、図28に示すように、トレンチ169の上および直近の部分を除いて現像する。次の段階で、図28に示すように、フォトリソ層175を剥ぎ取った領域の誘電層173を以前に説明した方法を使用してエッチングする。

【0042】図29を参照する。フォトリソ層175の残りの部分を剥ぎ取る。次いで、誘電層173、バリア層171およびその他の露出表面の上にバリア層179を付着させ、バリア層179の上に銅シード層(図示せず)を付着させる。バリア層41に対して使用した材料をバリア層179に対して使用することができる。次いで、銅層183を電気めっきによって付着させる。最終段階として、CMPプロセスまたは他の平坦化技法を使用してウェハから余分の銅を除去し、これによってバイア165、トレンチ169、バイア161およびバイア163の中の銅を残す。本発明では、ダマシンプロセスでワイヤおよびバイアとすることができる任意の導体または半導体を使用することができる。

【0043】図30に示すように、以上のプロセス段階によってキャパシタ185が形成される。キャパシタ185は、下プレート171Aおよび誘電層173A、ならびに金属バリア層179Aと銅層183Aの組合せを含む上プレートから成る。好ましい実施形態の相互接続155は銅から成り、金属相互接続レベル151上の金属相互接続系統の一部を形成する。チップ149のワイヤリングへの相互接続155の実際の接続(図示せず)は、製造中のデバイスのワイヤリング要件によって決まる。好ましい実施形態では、相互接続155が、部分171Bおよび171Cのところでボトム・プレート171Aに接続される。キャパシタのボトム・プレートとトップ・プレートの短絡を防ぐため、図30に示したチップ149の表面は一般に、絶縁層、例えば厚さ50nmの窒化物または炭化物で不活性化される。別のメタライゼーション・レベルを追加する場合には、層157に対して使用される材料から選択した別の絶縁体を付着させ

る。キャパシタを最終ワイヤリング・レベルに構築する場合には、酸化物SiO₂または窒化物Si₃N₄が一般に使用される。キャパシタ185のトップ・プレートは、図11に関して以前に説明したように表面183Aまで達するワイヤおよびバイアを製造することによって接触させることができる。

【0044】キャパシタ185をその中に構築する絶縁層157の縦横比は、キャパシタのキャパシタンスが最大になるように選択することが好ましい。絶縁層157の縦横比とは、バイアの一般的な幅と一般的なバイアまたはトレンチの深さとの間の比である。この比が約4:1、すなわち一般的なバイアの幅が0.2ミクロン程度、一般的なバイアまたはトレンチの深さが約0.8ミクロンであることが好ましい。具体的には、前記縦横比に応じて下プレート171A、誘電層173Aおよび上プレート層179A、183Aを図示のように折り畳むことによって、キャパシタ185の各層の長さ、したがってキャパシタのキャパシタンスが最大となり、一方でキャパシタの「フットプリント」は最小限に抑えられる。このことは、チップ149の密集領域でキャパシタ185を減結合キャパシタとして使用する予定の場合に特に有利である。

【0045】バリア層171および高比誘電率K誘電層173は、先に述べたように、(フォトリソで保護されていない)ウェハ全体に付着させ、次いでこれをフォトリソングし、層173およびあらゆるTaまたはTa₂N₅バリア材料をエッチングする水性または蒸気性HF酸を使用してキャパシタが存在しない領域からエッチングすることができる。代替のバリアに対しては、その他の適当なウェットまたはドライ・エッチング技法が使用可能である。別のオプションとして、応用によっては、この金属バリアをそのまま残すこともできる。例えば、TiNバリア層171およびSiO₂高比誘電率K誘電層173に対して、非キャパシタ領域をフォトリソングし、HFを用いてエッチングすると、SiO₂層173が除去され、TiN層171が残る。レジスト層175を剥ぎ取った後、図29および30に示すようにバリア層179およびCu膜183を付着させ、平坦化する。これによって得られる非キャパシタ・トレンチおよびバイア中の構造はバリア層171および179を含む。

【0046】図28、30および31を参照する。本発明は、図26~30に示し先に説明したプロセスのわずかな変形を含む。図28に示した段階で、フォトリソ層175によって覆われていない部分の誘電層173を除去するのに加え、フォトリソ層175によって覆われていない部分のバリア層171を先に説明したプロセスを使用して除去するエッチング・プロセスを実施する。フォトリソ層175を除去した後に、誘電層173の上、バイア165の内部、および露出したその他の

表面にバリア層 179 を付着させる。この変形の結果、キャパシタ構造を含まないバイア 165' などのバイアおよびトレンチがバリア層 179' で内張りされ、次いでこれらに銅 183' を充てんする。

【0047】キャパシタ 185 を形成する代替方法を図 32 および 33 に示す。この代替方法の始めの諸段階は、バリア層 171 および誘電層 173 を付着させる段階を除き、図 26 に示し先に説明したものと全く同じである。

【0048】図 32 を参照する。プロセスの最初の段階として、絶縁層 157 の上にフォトレジスト層 235 を付着させ、これをフォトバターンニングして、キャパシタ 185 を形成しない領域 236 を保護する。フォトレジスト層 235 が、層 171 および 173 の付着中に必要な温度に耐える高温レジストまたはポリイミドであることが好ましい。次の段階で、バイア 161、163 の内部、トレンチ 169 の内部、フォトレジスト層 235 の上、および隣接したチップ 149 の露出領域の上にバリア層 171 を付着させる。次いで、バリア層 171 の上に高比誘電率 K 誘電層 173 を付着させる。最後に、フォトレジスト層 235 を剥ぎ取る。この剥離プロセスによって、フォトレジスト層 235 を覆っている層 171 および 173 が除去され、図 33 に示す構造が得られる。

【0049】その後、図 29 および 30 に示し先に説明したプロセス段階に基づいてキャパシタ 185 を形成する。図 32 および 33 に示し説明した代替のプロセス段階によって得られるキャパシタ 185 は、図 26 ~ 30 に示し先に説明したプロセス段階によって得られるキャパシタと全く同じである。

【0050】この場合もやはり、図 26 ~ 30 および 32 ~ 33 に示した本発明の第 2 のバージョンは特に、銅デュアル・ダマシ・プロセスでの使用に適合しているが、その他の金属デュアル・ダマシ・プロセスで使用することもできる。同様に、銅以外の金属を使用する場合には、上側バリア層 179 を省略し、銅の拡散を必ずしもブロックしない材料を下側バリア層 171 に対して使用したほうが望ましいことがある。

【0051】まとめとして、本発明の構成に関して以下の事項を開示する。

【0052】(1) 半導体デバイス中のダマシ・トレンチに製造されたキャパシタのボトム・プレートに対するコンタクト構造であって、

a. 部分的に延びているが貫通しない開口を有する絶縁層を備え、前記開口が、前記ボトム・プレートに隣接し、かつ前記ボトム・プレートから分離されて配置され、さらに、

b. 前記開口の中に配置された第 1 の導電性相互接続と、

c. 前記ダマシ・トレンチから延び、前記ボトム・ブ

レートと前記相互接続に接続するストラップ・コンタクトを備えるコンタクト構造。

(2) 前記絶縁層の上方に配置された相互接続レベルをさらに含み、前記ストラップ・コンタクトが、前記ボトム・プレートおよび前記相互接続レベル中の第 2 の導電性相互接続に接続されたストラップを含み、前記第 2 の導電性相互接続が前記ストラップを前記第 1 の導電性相互接続に接続する、上記 (1) に記載のコンタクト構造。

(3) 前記ストラップ・コンタクトが、金属および半導体から成るグループから選択された導電材料から製作された、上記 (1) に記載のコンタクト構造。

(4) 前記ストラップ・コンタクトが導電性銅拡散バリア材料から製作された、上記 (1) に記載のコンタクト構造。

(5) 前記ストラップ・コンタクトが前記ボトム・プレートの延長部分として形成された、上記 (1) に記載のコンタクト構造。

(6) 前記ストラップ・コンタクトと前記ボトム・プレートが共通の導電性バリア層から形成された、上記

(1) に記載のコンタクト構造。

(7) 前記第 1 の相互接続および前記ストラップ・コンタクトと接触した第 1 の導電層と、前記第 1 の導電層に接触したスタッドをさらに含む、上記 (1) に記載のコンタクト構造。

(8) 前記第 1 の導電層と前記ストラップ・コンタクトが共通の金属層から形成された、上記 (7) に記載のコンタクト構造。

(9) 前記半導体デバイスが、表面および前記ボトム・プレートがその中に形成されたダマシ・トレンチを有する絶縁層を含み、前記ストラップ・コンタクトが、前記ボトム・プレートから前記絶縁層の前記表面を横切って前記相互接続まで延びる、上記 (1) に記載のコンタクト構造。

(10) 前記ストラップ・コンタクトを覆う保護層をさらに含む、上記 (1) に記載のコンタクト構造。

(11) a. 部分的に延びているが貫通しない第 1 および第 2 の開口が形成された絶縁層と、

b. 前記第 1 の開口の中に少なくとも部分的に配置されたトップ・プレートと、

c. 前記第 1 の開口の中に少なくとも部分的に配置されたボトム・プレートと、

d. 前記トップ・プレートと前記ボトム・プレートの間に配置された誘電層と、

e. 前記第 2 の開口の中に配置された第 1 の導電性相互接続と、

f. 前記ボトム・プレートを前記第 1 の導電性相互接続に接続するストラップ・コンタクトを備える半導体デバイス中のキャパシタ構造。

(12) 前記絶縁層の上方に配置された相互接続レベル

10

20

30

40

50

をさらに含み、前記ストラップが、前記ボトム・プレートおよび前記相互接続レベル中の第2の導電性相互接続に接続された第1の部分を含み、前記相互接続レベル中の前記第2の導電性相互接続が前記ストラップ・コンタクトを前記第1の導電性相互接続に接続する、上記(11)に記載の構造。

(13) 前記ストラップ・コンタクトが銅拡散バリア膜を含む、上記(11)に記載の構造。

(14) 前記トップ・プレートが銅を含む、上記(11)に記載の構造。

(15) 前記ストラップ・コンタクトが前記ボトム・プレートの延長部分として形成された、上記(11)に記載の構造。

(16) 前記ストラップ・コンタクトと前記ボトム・プレートが共通の銅拡散バリア層から形成された、上記(11)に記載の構造。

(17) 前記第1の相互接続および前記ストラップ・コンタクトに接触した第1の導電層と、前記第1の導電層に接触したスタッドをさらに含む、上記(11)に記載の構造。

(18) 前記絶縁層が表面を有し、前記ストラップ・コンタクトが、前記ボトム・プレートから前記絶縁層の前記表面を横切って前記相互接続まで延びる、上記(11)に記載の構造。

(19) 前記誘電層が前記ストラップ・コンタクトを覆う、上記(10)に記載の構造。

(20) a. トレンチおよび前記トレンチの中に形成された少なくとも1つのバイアを有する絶縁層と、

b. 前記トレンチおよび前記少なくとも1つのバイアを内張りするボトム・プレートと、

c. 前記ボトム・プレートの上に配置された誘電層と、

d. 前記誘電層の上に配置されたトップ・プレートを備える半導体デバイス中のキャパシタ構造。

(21) 前記ボトム・プレートが銅拡散バリア層を含み、前記トップ・プレートが銅を含む、上記(20)に記載の構造。

(22) 前記誘電層と前記トップ・プレートの間に配置された銅拡散バリア層をさらに含む、上記(20)に記載の構造。

(23) 前記ボトム・プレートの下方に配置され、前記ボトム・プレートに接続された相互接続をさらに含む、上記(20)に記載の構造。

(24) 金属相互接続レベルまで製造されたデバイスを有し、少なくとも1つのバイアおよびトレンチがその中に形成された絶縁体レベルをその上に有するウェハ上にキャパシタを形成する方法であって、

a. 前記少なくとも1つのバイアの中に第1のバリア層を付着させる段階と、

b. 前記少なくとも1つのバイアの中の前記バリア層の

上に誘電材料を付着させる段階と、

c. 前記少なくとも1つのバイアの中の前記誘電材料の上に第2のバリア層を付着させる段階と、

d. 前記第2のバリア層の上に金属導体を付着させる段階を含む方法。

(25) 前記段階cが、前記第1のバリア層に対するストラップ・コンタクトを形成する段階を含む、上記(24)に記載の方法。

(26) 前記金属相互接続レベルが相互接続を含み、前記段階cが、前記相互接続に接触した、前記第1のバリア層に対するストラップ・コンタクトを形成する段階を含む、上記(24)に記載の方法。

(27) 前記絶縁体レベルが表面を有し、前記ストラップ・コンタクトが前記表面に沿って延びるように形成される、上記(26)に記載の方法。

(28) 前記金属相互接続レベルが、相互接続および前記相互接続と交差したバイアを含み、前記段階cが、前記相互接続に接続された、前記バイア中の前記第1のバリア層に対するストラップ・コンタクトを形成する段階を含む、上記(24)に記載の方法。

(29) 前記段階cで付着させる前記第2のバリア層が、銅の拡散をブロックする材料および銅シード層を含む、上記(24)に記載の方法。

(30) 前記少なくとも1つのバイアが前記トレンチに隣接し、かつ前記トレンチから分離されており、前記段階aが、前記少なくとも1つのバイアと前記トレンチの中に同時に前記第1のバリア層を付着させる段階を含む、上記(24)に記載の方法。

(31) 前記少なくとも1つのバイアが前記トレンチの内部に配置され、前記段階aが、前記少なくとも1つのバイアと前記トレンチの中に同時に前記第1のバリア層を付着させる段階を含む、上記(24)に記載の方法。

(32) 前記絶縁体レベルが、前記トレンチの中に配置された少なくとも1つのバイアを含み、前記段階aが、前記少なくとも1つのバイアと前記トレンチの中に同時に前記第1のバリア層を付着させる段階を含む、上記(24)に記載の方法。

(33) 前記少なくとも1つのバイアが前記金属相互接続レベル中の相互接続と交差し、前記第1のバリア層が前記相互接続と接触するように付着される、上記(32)に記載の方法。

(34) 段階aで付着される前記第1および第2のバリア層が銅の拡散をブロックし、前記段階dで付着される前記金属導体が銅を含む、上記(24)に記載の方法。

(35) 前記第1のバリア層、前記誘電材料、前記第2のバリア層および前記金属導体が前記トレンチの中に付着され、前記トレンチが、前記誘電層が前記トレンチの内部で折り畳まれるように構成される、上記(24)に記載の方法。

(36) キャパシタを形成しないウェハの領域から、前

記第1のバリア層と前記誘電層のうちの少なくとも一方を除去する段階をさらに含む、上記(2.4)に記載の方法。

(3.7) 前記バリア層および前記誘電層を、キャパシタを形成するウェハの領域にのみ付着させる、上記(2.4)に記載の方法。

(3.8) 相互接続および表面を有する金属相互接続レベルまで製造されたデバイスを有するウェハ上にキャパシタを形成する方法であって、

- a. 前記金属相互接続レベル上に上面を有する絶縁体を付着させる段階と、
- b. 前記絶縁体中に、前記相互接続と交差したパイアおよび前記パイアに隣接したトレンチを形成する段階と、
- c. 前記パイアの中および前記トレンチの中にバリア層を付着させる段階と、
- d. 前記バリア層の上方に誘電材料を付着させる段階と、
- e. 前記誘電材料の上方に金属導体を付着させる段階を含む方法。

(3.9) 前記バリア層の前記パイアと前記トレンチの間の部分が前記絶縁層の前記上面に沿って延びるように前記段階cが実施される、上記(3.8)に記載の方法。

(4.0) 前記金属導体が銅を含み、前記バリア層が銅の拡散をブロックする、上記(3.8)に記載の方法。

(4.1) 前記絶縁層の下方に配置され、第3の相互接続を有する金属相互接続レベルをさらに含み、前記第1の相互接続が前記第3の相互接続に接触した、上記(1)に記載のコンタクト構造。

(4.2) 前記絶縁層の下方に配置され、第3の相互接続を有する金属相互接続レベルをさらに含み、前記第1の相互接続が前記第3の相互接続に接触した、上記(1.1)に記載の構造。

(4.3) 前記絶縁層の上方に配置され、第4の相互接続を含む金属相互接続レベルをさらに含み、前記トップ・プレートが前記第4の相互接続に接続された、上記(1.1)に記載のコンタクト構造。

(4.4) 前記絶縁層の下方に配置され、第3の相互接続を有する金属相互接続レベルをさらに含み、前記ボトム・プレートが前記第3の相互接続に接触した、上記(2.0)に記載の構造。

(4.5) 前記絶縁層の上方に配置され、第4の相互接続を含む金属相互接続レベルをさらに含み、前記トップ・プレートが前記第4の相互接続に接続された、上記(2.0)に記載のコンタクト構造。

【図面の簡単な説明】

【図1】半導体デバイス中にキャパシタを製造する方法の一実施形態の最初の段階の断面図である。

【図2】半導体デバイス中にキャパシタを製造する方法の一実施形態の図1に続く段階の断面図である。

【図3】半導体デバイス中にキャパシタを製造する方

の一実施形態の図2に続く段階の断面図である。

【図4】半導体デバイス中にキャパシタを製造する方法の一実施形態の図3に続く段階の断面図である。

【図5】半導体デバイス中にキャパシタを製造する方法の一実施形態の図4に続く段階の断面図である。

【図6】半導体デバイス中にキャパシタを製造する方法の一実施形態の図5に続く段階の断面図である。

【図7】半導体デバイス中にキャパシタを製造する方法の一実施形態の図6に続く段階の断面図である。

【図8】半導体デバイス中にキャパシタを製造する方法の一実施形態の図7に続く段階の断面図である。

【図9】半導体デバイス中にキャパシタを製造する方法の一実施形態の図8に続く段階の断面図である。

【図10】半導体デバイス中にキャパシタを製造する方法の一実施形態の図9に続く段階の断面図である。

【図11】半導体デバイス中にキャパシタを製造する方法の一実施形態の図10に続く段階の断面図である。

【図12】図1~11に示した方法のわずかな変形を示す以外、図11と同様の図である。

【図13】半導体デバイス中にキャパシタを製造する方法の他の実施形態の最初の段階の断面図である。

【図14】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図13に続く段階の断面図である。

【図15】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図14に続く段階の断面図である。

【図16】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図15に続く段階の断面図である。

【図17】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図16に続く段階の断面図である。

【図18】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図17に続く段階の断面図である。

【図19】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図18に続く段階の断面図である。

【図20】図14で図20よりも大きな開口が形成される以外、図14と同一の図である。

【図21】図14で図20よりも大きな開口が形成される以外、図15と同一の図である。

【図22】図14で図20よりも大きな開口が形成される以外、図16と同一の図である。

【図23】図14で図20よりも大きな開口が形成される以外、図17と同一の図である。

【図24】図14で図20よりも大きな開口が形成される以外、図18と同一の図である。

【図25】図14で図20よりも大きな開口が形成される以外、図19と同一の図である。

【図26】半導体デバイス中にキャパシタを製造する方法の他の実施形態の最初の段階の断面図である。

【図27】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図26に続く段階の断面図である。

【図28】半導体デバイス中にキャパシタを製造する方

法の他の実施形態の図2.7に続く段階の断面図である。

【図2.9】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図2.8に続く段階の断面図である。

【図3.0】半導体デバイス中にキャパシタを製造する方法の他の実施形態の図2.9に続く段階の断面図である。

【図3.1】非キャパシタ・バイア中に形成されるバリア層が1層だけである以外は、図3.0と同様の図である。

【図3.2】図2.6～3.0に示した方法のいくつかの段階の変形の最初の段階を示す断面図である。

【図3.3】図2.6～3.0に示した方法のいくつかの段階の変形の図3.2に続く段階を示す断面図である。

【符号の説明】

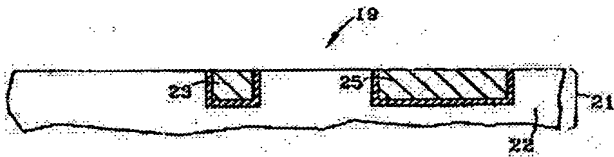
- 1.9 チップ
- 2.1 金属相互接続レベル
- 2.2 絶縁体
- 2.3 金属相互接続
- 2.5 金属相互接続
- 2.7 平面誘電層
- 2.9 絶縁層
- 3.5 キャパシタ・トレンチ
- 3.7 ワイヤ開口
- 3.9 ワイヤ/バイア
- 4.0 バイア
- 4.1 導電性バリア層
- 4.1A ストラップ部分
- 4.1B 下プレート部分
- 4.1C バイア・ライナ部分
- 4.3 厚い銅層
- 4.3A 銅層
- 4.3B 銅層 (銅スタッド)
- 4.3C 銅層
- 4.5 開口
- 4.7 フォトレジスト層
- 4.9 キャパシタ誘電層
- 4.9A 誘電層部分
- 5.1 第2のバリア層
- 5.1A 第2のバリア層
- 5.3 厚い銅層
- 5.5 上側銅プレート
- 5.6 開口
- 5.7 フォトレジスト層
- 5.7A フォトレジスト部分
- 6.0 キャパシタ
- 6.5 メタライゼーション層 (金属相互接続レベル)
- 7.3 絶縁層
- 7.5 垂直相互接続
- 7.7 垂直相互接続
- 7.9 相互接続
- 9.1 チップ
- 9.3 金属相互接続レベル

- 9.5 絶縁層
- 9.7 金属相互接続
- 9.9 金属相互接続
- 10.0 平面絶縁層
- 10.1 キャパシタ開口
- 10.2 ワイヤ開口
- 10.3 ワイヤ開口
- 10.5 バイア
- 10.7 バイア
- 10.11 バリア層
- 10.11A 下プレート
- 10.11B ストラップ・コンタクト
- 10.11C バリア層部分
- 10.13 厚い銅層
- 10.15 フォトレジスト層
- 10.16 開口
- 10.17 開口
- 10.17A 開口域
- 10.17B 開口域
- 10.19 高Kキャパシタ誘電層
- 10.19A ストラップ・カバー部分
- 10.21 バリア層
- 10.21A 上部バリア層部分
- 10.21B 上部バリア層部分
- 10.21C 上部バリア層部分
- 10.23 厚い銅層
- 10.23A トップ・プレート
- 10.24 キャパシタ/ストラップ接続領域
- 10.25 ワイヤリング・バイア領域
- 10.26 キャパシタ
- 10.49 半導体チップ
- 10.51 金属相互接続レベル
- 10.52 絶縁層
- 10.53 ダマシン銅相互接続
- 10.55 ダマシン銅相互接続
- 10.56 絶縁体銅拡散バリア層
- 10.57 絶縁層
- 10.61 バイア
- 10.63 バイア
- 10.65 バイア
- 10.69 トレンチ
- 10.71 バリア層
- 10.71A ボトム・プレート
- 10.71B ボトム・プレート部分
- 10.71C ボトム・プレート部分
- 10.73 誘電層
- 10.73A 誘電層
- 10.75 第3のフォトレジスト層
- 10.79 バリア層
- 10.79A 金属バリア層 (上プレート)

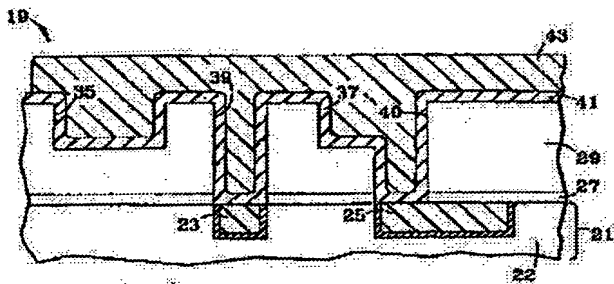
183 銅層
183A 銅層 (上プレート)
185 キャパシタ

235 フォトリソグレイ
236 非キャパシタ領域

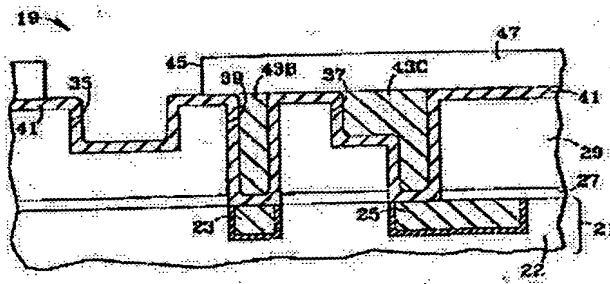
【図1】



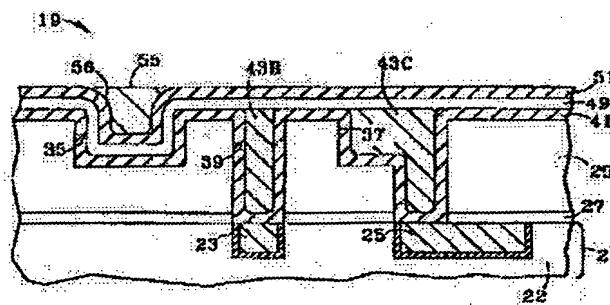
【図3】



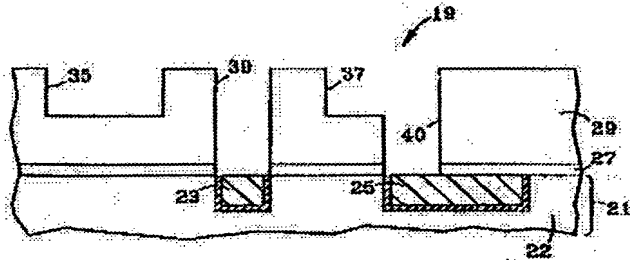
【図5】



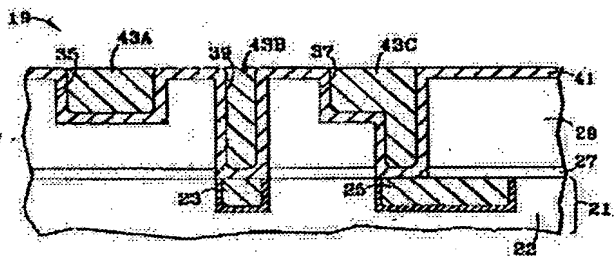
【図7】



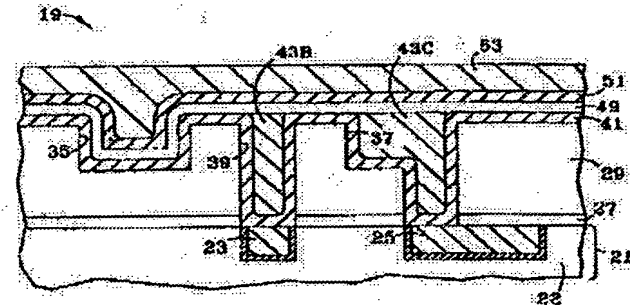
【図2】



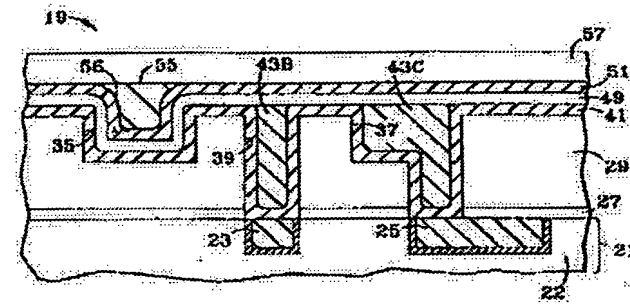
【図4】



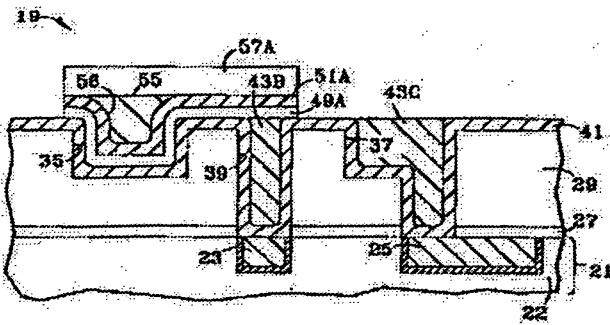
【図6】



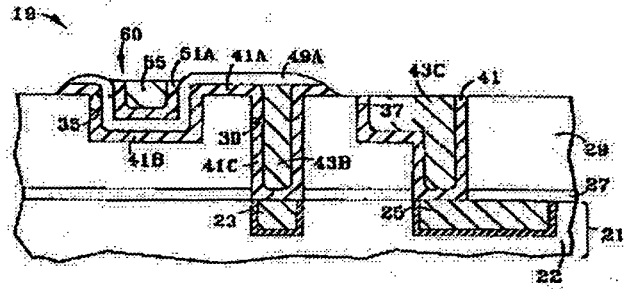
【図8】



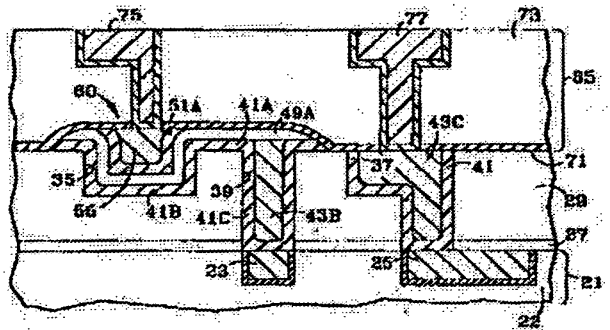
【図9】



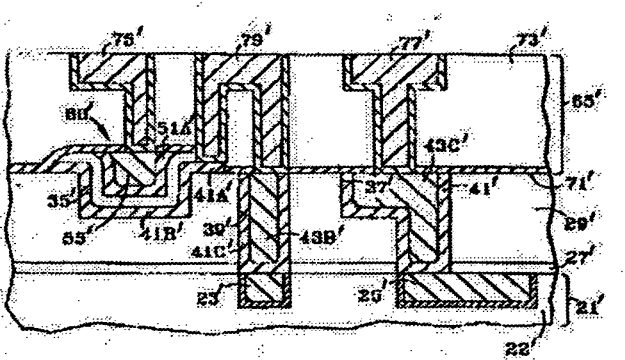
【図10】



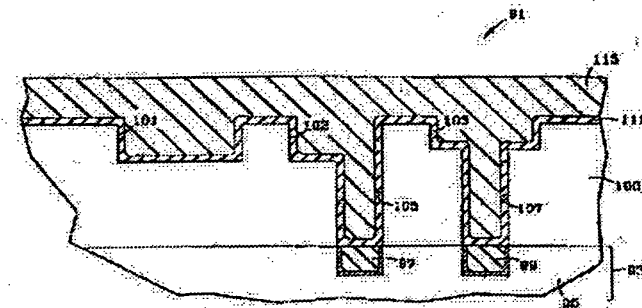
【図11】



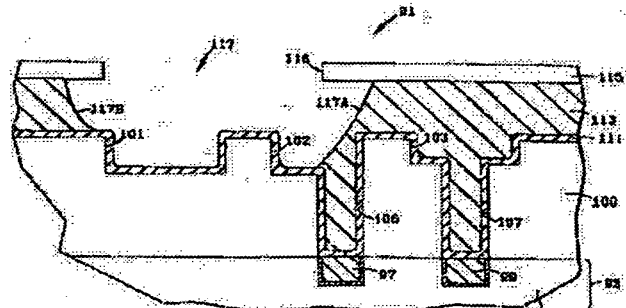
【図12】



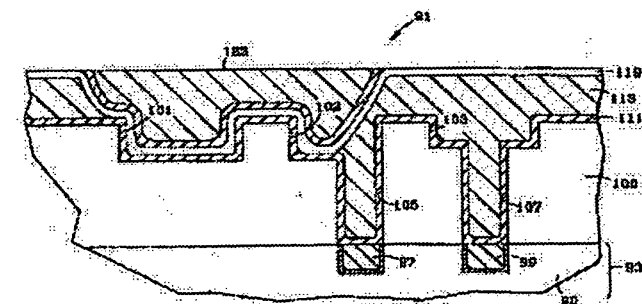
【図13】



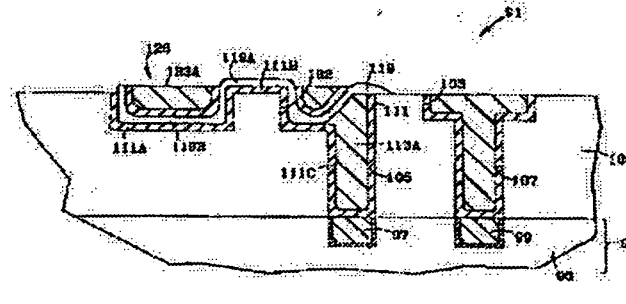
【図14】



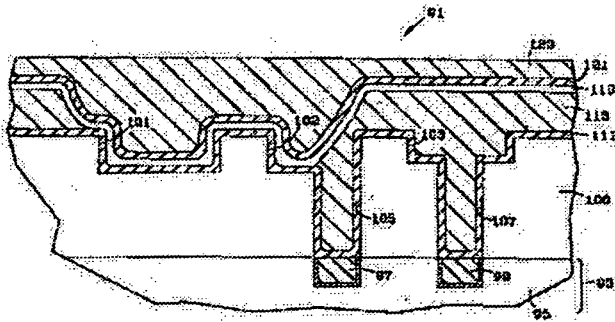
【図17】



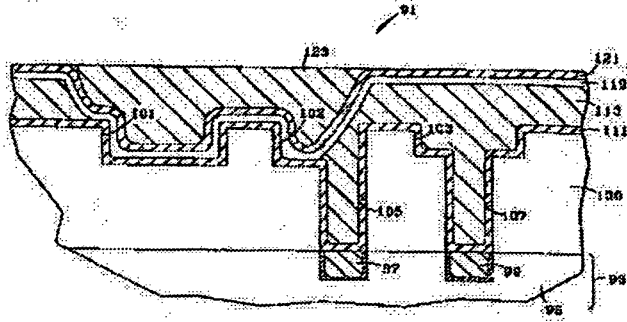
【図19】



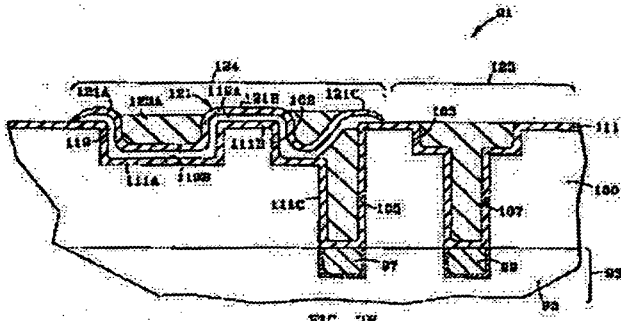
【図15】



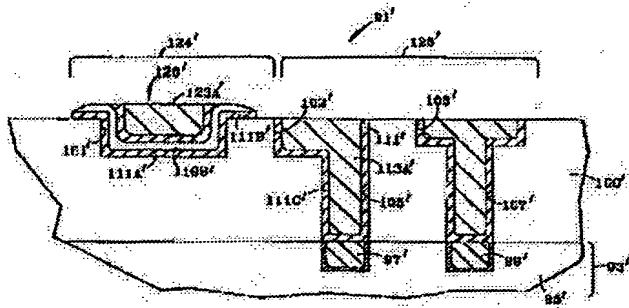
【図16】



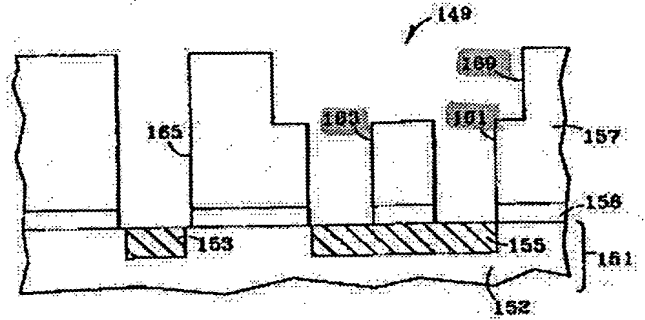
【図18】



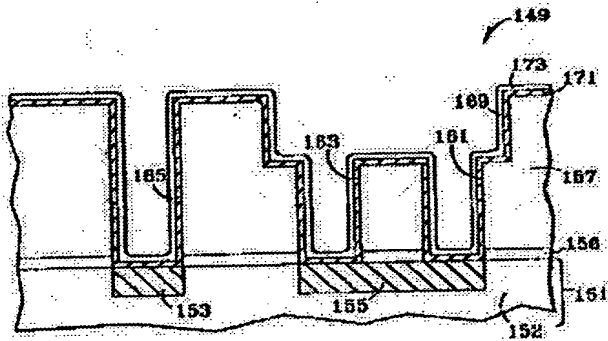
【図25】



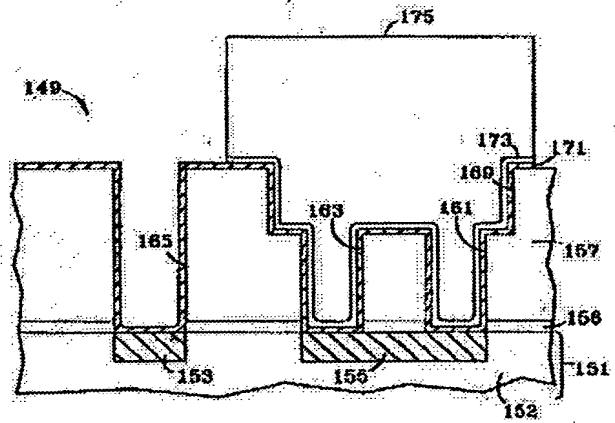
【図26】



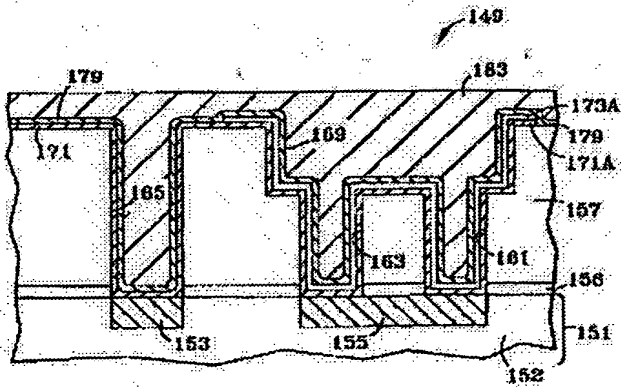
【図27】



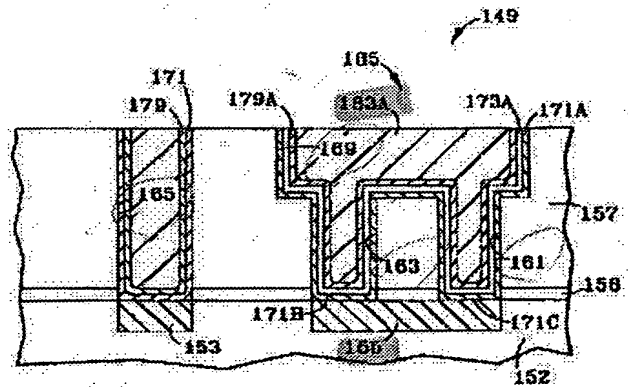
【図28】



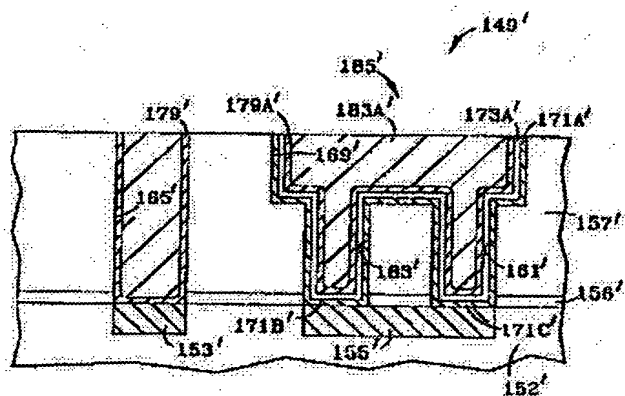
【図29】



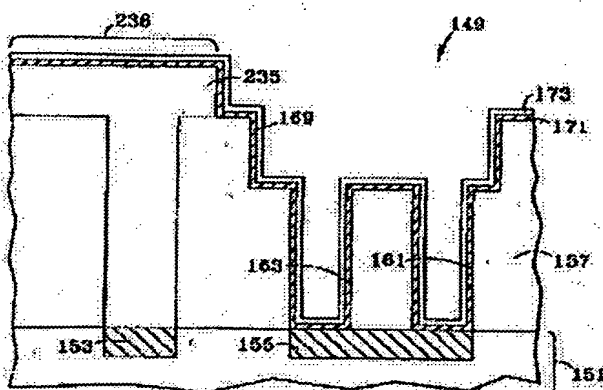
【図30】



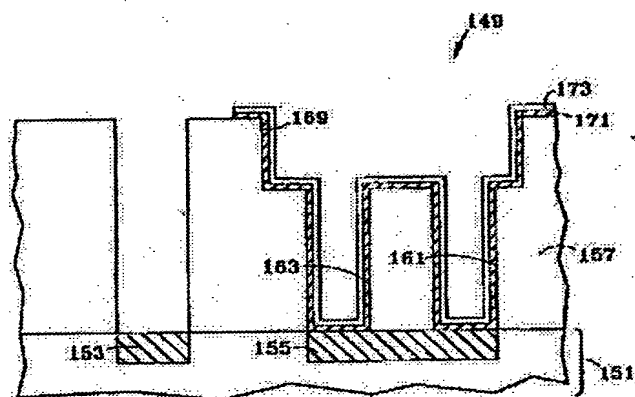
【図31】



【図32】



【図33】



フロントページの続き

(72)発明者 ロバート・エム・ゲフケン

アメリカ合衆国05401 バーモント州バー
リントン クレセント・ビーチ・ドライブ
145

(72)発明者 アンソニー・ケイ・スタンバー

アメリカ合衆国05495 バーモント州ウィ
リントン エヴァーグリーン・ドライブ
46

(72)発明者 スティーブン・エイ・セント・オンガ

アメリカ合衆国05446 バーモント州コル
チェスター プア・ファーム・ロード 94